

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 31 日
Application Date

申請案號：092130420
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 15 日
Issue Date

發文字號：09320247380
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	處理器電源管理以及匯流排最佳化方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 徐明樟
	姓 名 (英文)	1. Mingwei Hsu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



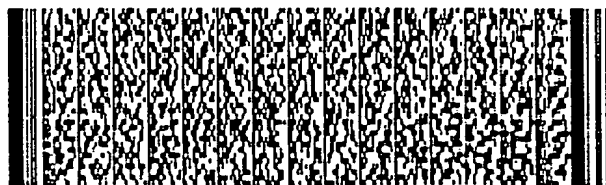
四、中文發明摘要 (發明名稱：處理器電源管理以及匯流排最佳化方法)

一種處理器電源管理以及匯流排最佳化方法。首先設定處理器與北橋之間匯流排之匯流排操作頻寬與匯流排操作頻率，接下來，啟始處理器以及北橋與南橋之電源管理設定，接下來，輸出操作頻率以及操作電壓調整改變量信息至南橋，接下來，南橋輸出匯流排中斷信號以中斷處理器與北橋之間之匯流排的連線，並啟始一計數器之計數值，處理器根據操作頻率以及操作電壓調整改變量調整處理器之操作頻率以及電壓，當計數器之計數值累積達一既定值時，則南橋輸出匯流排連接信號，因此匯流排重新連接處理器與北橋，並工作於上述匯流排操作頻寬與匯流排操作頻率，且處理器根據操作頻率以及操作電壓調整改變量信息而工作於之另一操作頻率以及操作電壓。

伍、(一)、本案代表圖為：第4圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：處理器電源管理以及匯流排最佳化方法)

略

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種處理器電源管理以及匯流排最佳化方法，特別是有關於一種應用於AMD K8作業平台 (platform) 之處理器電源管理以及匯流排最佳化方法。

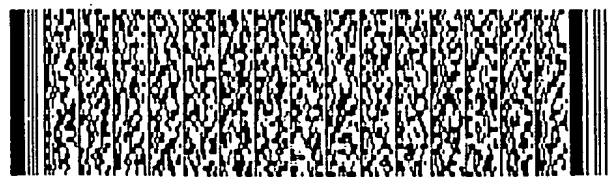
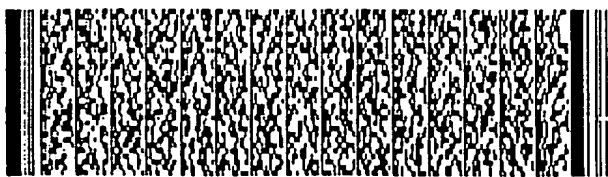
[先前技術]

Legacy I/O 匯流排結構因其低成本以及利用已建立之標準軟體以及硬體標準而容易實施等特性，因此廣泛使用於嵌入式系統 (embedded system) 中。然其最高操作頻率僅為66MHz左右，因此，現今操作頻率達500MHz以上之處理器，必須使用具有更高頻寬以及操作頻率之匯流排。

閃電數據傳輸I/O 匯流排 (Lightning Data Transport, LDT, I/O Bus)，亦稱高傳輸I/O 匯流排 (Hyper Transport, HT, I/O Bus)，滿足了目前電腦網路、通訊系統以及其他嵌入式系統所需之高頻寬需求，為一種具有靈活性、擴充性以及容易使用之匯流排架構。LDT I/O 匯流排能夠提供下一代處理器以及通訊系統所需之頻寬 (width)，再者，LDT I/O 匯流排更具有可調整之匯流排頻寬以及操作速度等功能，以符合電源、空間以及成本之需求。

傳統LDT I/O 匯流排之頻寬與操作頻率之最佳化必須透過執行LDT匯流排中斷 (disconnection) 以及重新連接 (reconnection) 程序以使得LDT匯流排操作於預期之頻寬與操作頻率。

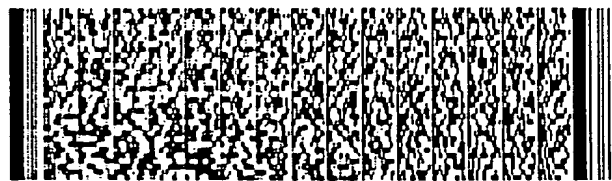
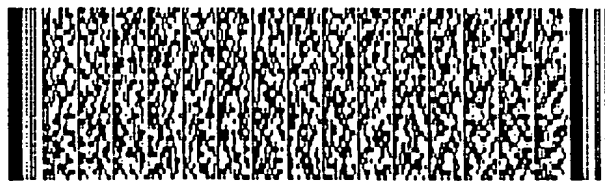
第1圖係顯示傳統LDT I/O 匯流排之頻寬與操作頻率



五、發明說明 (2)

最佳化之操作流程圖。首先，在電源啟動後，由基本輸入/輸出系統 (Basic Input/Output System, BIOS) 初始 (initialize) LDT 匯流排之啟始設定，包括設定處理器與北橋之間的LDT匯流排最佳化時之匯流排操作頻寬與操作頻率 (S1)。舉例來說，在電腦系統啟動後，匯流排啟始頻寬可為8位元，但最佳化時可調整為16位元。再者，匯流排啟始頻率可為200MHz，但可最佳化為400MHz、600MHz或800MHz等頻率。上述最佳化時之匯流排操作頻寬與操作頻率係設定於BIOS中。接下來，由BIOS依序初始處理器以及包含北橋以及南橋之晶片組之電源管理暫存器，並處理相關之電源設定，並設定最佳化時之匯流排操作頻寬與操作頻率 (S2)。接下來，BIOS於南橋啟動一自動恢復 (Auto Resume) 之計數器 (S3)。接下來，BIOS發出讀取南橋之輸入輸出埠 (Power Management I/O, PMIO) 偏移15th處之指令以設定 (asserting) 信號LDTSTOP# (S4)。在此，對信號LDTSTOP#執行設定之動作係將原本為高位準之信號LDTSTOP#轉換為低位準信號。當南橋將信號LDTSTOP#設定為低位準時，則位於處理器以及北橋之間的LDT匯流排即中斷連接。

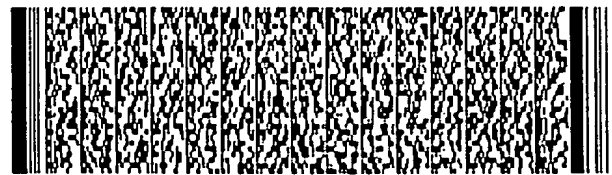
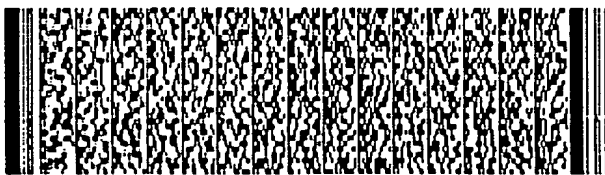
接下來，當於步驟S3所啟動之計數器之計數值達到一既定值時，則南橋將信號LDTSTOP#解除 (deassert) 為高位準 (S5)，亦即將先前設定為低位準之信號LDTSTOP#恢復為高位準。當信號LDTSTOP#重新恢復為高位準後，則位於處理器以及北橋之間的LDT匯流排即恢復連接 (S6)，



五、發明說明 (3)

並根據於先前BIOS所設定之最佳化之匯流排操作頻寬與操作頻率作為重新連線後之LDT匯流排的操作頻寬與頻率，完成了LDT I/O 匯流排之頻寬與操作頻率之最佳化。

在電腦系統使用之過程中，電源管理 (Power Management) 也是一項很重要的啟動程序。第2圖係顯示傳統處理器電源管理程序之操作流程圖。首先，由BIOS依序初始處理器以及包含北橋以及南橋之晶片組之電源管理暫存器，以處理相關之電源設定 (S21)。接下來，BIOS經由處理器之FIDVID_STATUS暫存器擷取處理器所預設之最大操作頻率以及最大操作電壓，並將所擷取之最大操作頻率以及最大操作電壓儲存於處理器之FIDVID_CTL暫存器 (S22)。接下來，處理器根據最大操作頻率以及最大操作電壓以及處理器之操作狀態而輸出一操作頻率以及操作電壓調整改變量信息至南橋 (S23)。當南橋接收到上述操作頻率以及操作電壓調整改變量信息時，則自動啟動一自動恢復 (Auto Resume) 之計數器並設定 (asserting) 信號LDTSTOP# (S24)。在此，對信號LDTSTOP#執行設定之動作同樣為將原本為高位準之信號LDTSTOP#轉換為低位準信號。當南橋將信號LDTSTOP#設定為低位準時，則位於處理器以及北橋之間的LDT匯流排即中斷連接。接下來，處理器根據操作頻率以及操作電壓調整改變量調整處理器之操作頻率以及操作電壓 (S25)。接下來，當計數器之計數值達到另一既定值時，則南橋將信號LDTSTOP#解除 (deassert) 為高位準 (S26)，亦即將先前設定為低位



五、發明說明 (4)

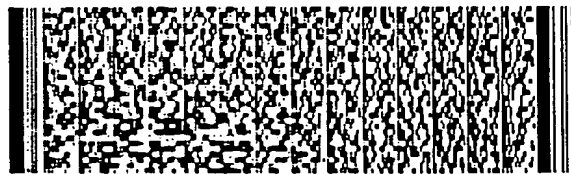
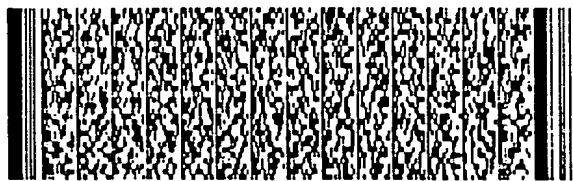
準之信號LDTSTOP#恢復為高位準。當信號LDTSTOP#重新恢復為高位準後，則位於處理器以及北橋之間的LDT匯流排即恢復連接，並且處理器工作於已調整之操作頻率以及操作電壓（S27），完成了處理器之電源管理程序。

上述有關處理器電源管理程序與LDT匯流排最佳化程序係於系統開機時，必須獨立處理之兩重要程序。然而，上述兩程序皆須執行LDT匯流排之中斷以及重新連線之動作。硬體重複執行相同動作結果，將造成系統開機時間延長以及開機程序繁複等缺點。

[發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種處理器電源管理以及匯流排最佳化方法，將處理器電源管理程序以及匯流排最佳化程序整合於單一流程，以避免重複執行LDT匯流排之中斷以及重新連線之動作，有效提高系統之開機效率。

為獲致上述之目的，本發明提出一種處理器電源管理以及匯流排最佳化方法。首先設定處理器與北橋之間匯流排之匯流排操作頻寬與匯流排操作頻率，接下來，啟始處理器以及北橋與南橋之電源管理設定，接下來，輸出操作頻率以及操作電壓調整改變量信息至南橋，接下來，南橋輸出匯流排中斷信號以中斷處理器與北橋之間之匯流排的連線，並啟始一計數器之計數值，處理器根據操作頻率以及操作電壓調整改變量調整處理器之操作頻率以及電壓，當計數器之計數值累積達一既定值時，則南橋輸出匯流排



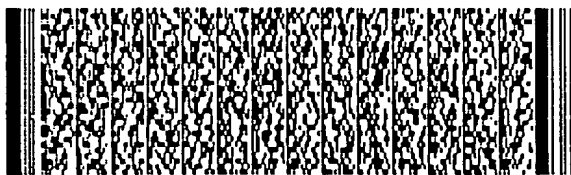
五、發明說明 (5)

連接信號，因此匯流排重新連接處理器與北橋，並工作於上述匯流排操作頻寬與匯流排操作頻率，且處理器根據操作頻率以及操作電壓調整改變量信息而工作於之另一操作頻率以及操作電壓。

[實施方式]

實施例：

參閱第3圖，第3圖係顯示具有LDT匯流排之電腦系統架構圖。如圖所示，處理器10與北橋14之間具有一LDT匯流排12。在此，處理器係以AMD所製造之K8 CPU為例。而北橋14與南橋18之間具有另一匯流排16。當要執行處理器電源管理程序以及匯流排最佳化程序時，位於處理器10與北橋14之間的LDT匯流排12必須執行中斷以及重新連線之動作，上述動作需受到由南橋18所輸出之信號LDTSTOP#之位準變化所控制。信號LDTSTOP#之位準於正常情形為第一位準（以高位準為例），當南橋將信號LDTSTOP#之位準拉低為第二位準時（以低位準為例），此稱為設定（assert）信號LDTSTOP#，而當處理器10以及北橋14皆接收到設定（assert）之信號LDTSTOP#時，則LDT匯流排12中斷連線。此時，南橋18內部之計數器19開始計數，待達到一既定值後，則南橋將信號LDTSTOP#之位準再恢復為原本之第一位準（高位準），此稱為解除（deassert）信號LDTSTOP#。當處理器10以及北橋14皆接收到解除（deassert）之信號LDTSTOP#時，則LDT匯流排12重新連線，以套用新的LDT匯流排操作頻率以及頻寬，或者是處

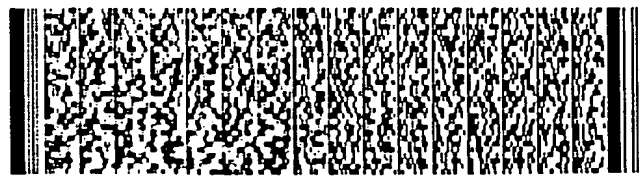
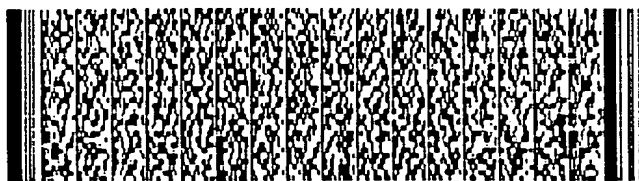


五、發明說明 (6)

理器之操作電壓與頻率。

第4圖係顯示根據本發明實施例所述處理器電源管理以及匯流排最佳化方法之操作流程圖。根據本發明實施例，匯流排最佳化程序係於執行處理器電源管理程序時一併執行。在此所使用之處理器電源管理程序為AMD的PowerNow! 電源管理程序。以筆記型電腦系統為例，其運作並不是一直需要全部的處理器效能。因此，處理器在非滿載的情況下，可以視需要降低時脈與減低電源的供應。不僅可以節省電力且可以增加電池的使用壽命，同時，處理器以低速運轉時，也可以降低廢熱的產生，這是考慮到筆記型電腦的設計需求。再者，如果需要更多的運算能力，處理器的電壓與時脈會自動增加。如果效能需求下降，這兩個數值都會下降，以減少處理器消耗電力。透過作業系統持續偵測處理器的負載並使用驅動程式與處理器溝通，以正確的控制時脈與電壓。所有可能的時脈與電壓的設定會儲存在BIOS的電源管理的設定內，並可以讓使用者更改設定。隨著處理器的不同，會有不同的時脈與電壓設定。當編寫電源管理程式時，設計者也可以決定是否內建所有可用的時脈與電壓設定，或是只包括一部份的設定。

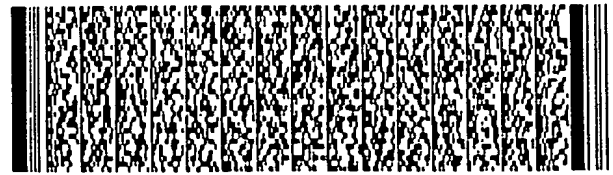
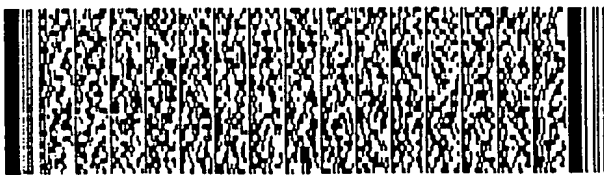
參閱第4圖，首先，由基本輸入/輸出系統(Basic Input/Output System, BIOS)初始(initialize)LDT匯流排之啟始設定，包括設定處理器與北橋之間的LDT匯流排最佳化時之匯流排操作頻寬與操作頻率(S31)。舉例



五、發明說明 (7)

來說，在電腦系統啟動後，匯流排啟始頻寬可為8位元，但最佳化時可調整為16位元。再者，匯流排啟始頻率可為200MHz，但可最佳化為400MHz、600MHz或800MHz等頻率。上述最佳化時之匯流排操作頻寬與操作頻率係設定於BIOS中。接下來，由BIOS依序初始處理器以及包含北橋以及南橋之晶片組之電源管理暫存器，以處理相關之電源設定，並設定最佳化時之匯流排操作頻寬與操作頻率(S32)，例如使處理器工作於一啟始操作頻率以及一啟始操作電壓，並即時偵測處理器之狀態。接下來，BIOS經由處理器之FIDVID_STATUS暫存器擷取處理器所預設之最大操作頻率以及最大操作電壓，並將所擷取之最大操作頻率以及最大操作電壓儲存於處理器之FIDVID_CTL暫存器(S33)。接下來，處理器根據處理器狀態之偵測結果以及上述最大操作頻率以及最大操作電壓而輸出指示操作頻率以及操作電壓調整改變量之信息(message)至南橋，以使得處理器在下一次LDT匯流排重新連接之前，調整頻率及電壓於一較適合之處理器操作頻率以及操作電壓(S34)。在此，此信息所指示之操作頻率以及操作電壓調整改變量之設定以調整後之操作頻率以及操作電壓以不超過上述處理器之最大操作頻率以及最大操作電壓為限。

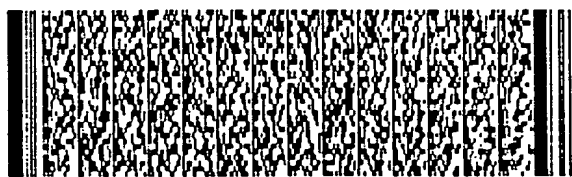
當南橋接收到上述操作頻率以及操作電壓調整改變量信息時，則自動啟動一自動恢復(Auto Resume)之計數器並設定(asserting)信號LDTSTOP#(S35)。在此，對信號LDTSTOP#執行設定之動作同樣為將原本為高位準之信



五、發明說明 (8)

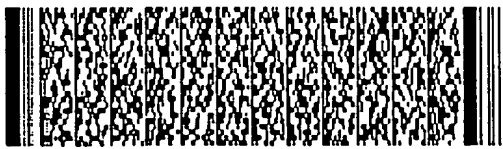
號LDTSTOP#轉換為低位準信號。當南橋將信號LDTSTOP#設定為低位準時，則位於處理器以及北橋之間的LDT匯流排即中斷連接。接下來，處理器根據操作頻率以及操作電壓調整改變量調整處理器之操作頻率以及操作電壓(S36)。接下來，當計數器之計數值達到另一既定值時，則南橋將信號LDTSTOP#解除(deassert)為高位準(S37)，亦即將先前設定為低位準之信號LDTSTOP#恢復為高位準。當信號LDTSTOP#重新恢復為高位準後，則位於處理器以及北橋之間的LDT匯流排即恢復連接(S38)，在此之時，處理器以及北橋之間的LDT匯流排同時根據於BIOS所設定之最佳化之匯流排操作頻寬與操作頻率作為重新連線後之LDT匯流排的操作頻寬與頻率。處理器並工作於於步驟S36所調整之操作頻率以及電壓。因此，即可同時完成LDT I/O匯流排之頻寬與操作頻率之最佳化以及處理器之電源管理程序。

根據本發明實施例所述之處理器電源管理以及匯流排最佳化方法，將傳統技術獨立執行之處理器電源管理程序以及匯流排最佳化程序整合於單一步驟中執行，大幅簡化達成處理器電源管理以及匯流排最佳化效果所需之邏輯運算以及硬體設定時間。在傳統技術中，執行匯流排最佳化程序以及處理器電源管理程序總共需要13個步驟，而根據本發明實施例所述之處理器電源管理以及匯流排最佳化方法僅需8個步驟即可完成執行匯流排最佳化以及處理器電源管理之相關程序，有效的提高系統之開機效率。



五、發明說明 (9)

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示傳統LDT I/O 匯流排之頻寬與操作頻率最佳化之操作流程圖。

第2圖係顯示傳統處理器電源管理程序之操作流程圖。

第3圖係顯示具有LDT匯流排之電腦系統架構圖。

第4圖係顯示根據本發明實施例所述處理器電源管理以及匯流排最佳化方法之操作流程圖。

符號說明：

10 ～ 處理器

12 ～ LDT 匯流排

14 ～ 北橋

16 ～ 匯流排

18 ～ 南橋

LDTSTOP# ～ 信號



六、申請專利範圍

1. 一種處理器電源管理以及匯流排最佳化方法，適用於一處理器、一北橋、耦接於上述處理器與北橋之間之匯流排以及耦接於上述北橋之南橋，包括下列步驟：

設定上述處理器與北橋之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率；

啟始上述處理器以及北橋與南橋之電源管理設定；

擷取上述處理器之最大操作頻率以及最大操作電壓；

根據上述最大操作頻率以及最大操作電壓而輸出一操作頻率以及操作電壓調整改變量信息至上述南橋；

上述南橋輸出一匯流排中斷信號以中斷上述處理器與北橋之間之匯流排的連線，並啟始一計數器之計數值；

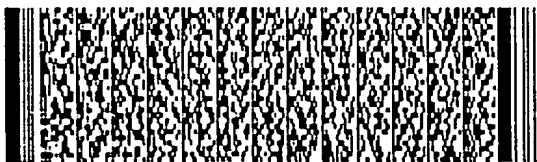
根據上述操作頻率以及操作電壓調整改變量信息調整上述處理器之操作頻率以及操作電壓；

當上述計數器之計數值累積達一既定值，則上述南橋輸出一匯流排連接信號；以及

上述匯流排根據上述匯流排連接信號而重新連接上述處理器與北橋，並工作於上述匯流排操作頻寬與匯流排操作頻率，且上述處理器根據上述操作頻率以及操作電壓調整改變量信息而工作於之另一操作頻率以及操作電壓。

2. 如申請專利範圍第1項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排為閃電數據傳輸（lightning data transport, LDT）匯流排。

3. 如申請專利範圍第1項所述之處理器電源管理以及



六、申請專利範圍

匯流排最佳化方法，其中上述匯流排為高傳輸（Hyper Transport, HT）匯流排。

4. 如申請專利範圍第1項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排中斷信號以及匯流排連接信號係由同一輸出端所輸出。

5. 一種處理器電源管理以及匯流排最佳化方法，適用於一處理器、一北橋、耦接於上述處理器與北橋之間之匯流排以及耦接於上述北橋之南橋，包括下列步驟：

設定上述處理器與北橋之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率；

啟始上述處理器以及北橋與南橋之電源管理設定，使得上述處理器操作於一第一處理器操作頻率以及一第一處理器操作電壓；

偵測上述處理器之狀態，並根據上述偵測結果而設定一第二處理器操作頻率以及一第二處理器操作電壓；

輸出指示調整上述處理器之操作頻率以及操作電壓之調整信息至上述南橋；

輸出一匯流排中斷信號以中斷上述處理器與北橋之間之匯流排的連線，並啟始一計數器之計數值；

當上述計數器之計數值累積達一既定值，則上述南橋輸出一匯流排連接信號；以及

根據上述匯流排連接信號而使得上述匯流排重新連接上述處理器與北橋，並工作於上述匯流排操作頻寬與匯流



六、申請專利範圍

排操作頻率，且上述處理器工作於上述第二處理器操作頻率以及第二處理器操作電壓。

6. 如申請專利範圍第5項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排為閃電數據傳輸 (lightning data transport, LDT) 匯流排。

7. 如申請專利範圍第5項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排為高傳輸 (Hyper Transport, HT) 匯流排。

8. 如申請專利範圍第5項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排中斷信號以及匯流排連接信號係由同一輸出端所輸出。

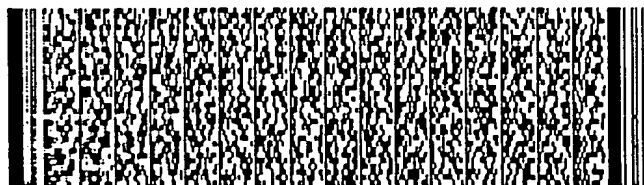
9. 如申請專利範圍第5項所述之處理器電源管理以及匯流排最佳化方法，更包括下列步驟：

擷取上述處理器之最大操作頻率以及最大操作電壓；以及

根據上述最大操作頻率以及最大操作電壓而設定上述第二處理器操作頻率以及第二處理器操作電壓。

10. 如申請專利範圍第9項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排中斷信號以及匯流排連接信號係藉由設定以及解除由上述南橋之輸出端所輸出之信號。

11. 一種處理器電源管理以及匯流排最佳化方法，適用於一處理器、一北橋、耦接於上述處理器與北橋之間之



六、申請專利範圍

匯流排以及耦接於上述北橋之南橋，包括下列步驟：

設定上述處理器與北橋之間匯流排之匯流排啟始頻寬與匯流排啟始頻率以及匯流排操作頻寬與匯流排操作頻率；

啟始上述處理器以及北橋與南橋之電源管理設定，使得上述處理器操作於一第一處理器操作頻率以及一第一處理器操作電壓；

擷取上述處理器之最大操作頻率以及最大操作電壓；

偵測上述處理器之狀態，並根據上述偵測結果以及上述最大操作頻率以及最大操作電壓而設定一第二處理器操作頻率以及一第二處理器操作電壓；

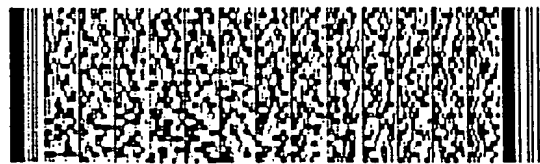
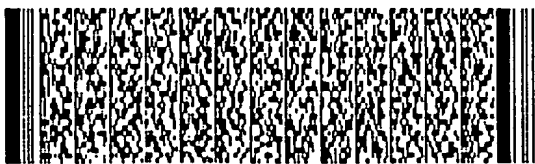
輸出指示調整上述處理器之操作頻率以及操作電壓之調整信息至上述南橋；

輸出一匯流排中斷信號以中斷上述處理器與北橋之間之匯流排的連線，並啟始一計數器之計數值；

當上述計數器之計數值累積達一既定值，則上述南橋輸出一匯流排連接信號；以及

根據上述匯流排連接信號而使得上述匯流排重新連接上述處理器與北橋，並工作於上述匯流排操作頻寬與匯流排操作頻率，且上述處理器工作於上述第二處理器操作頻率以及第二處理器操作電壓。

12. 如申請專利範圍第11項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排為閃電數據傳輸(lightning data transport, LDT)匯流排。



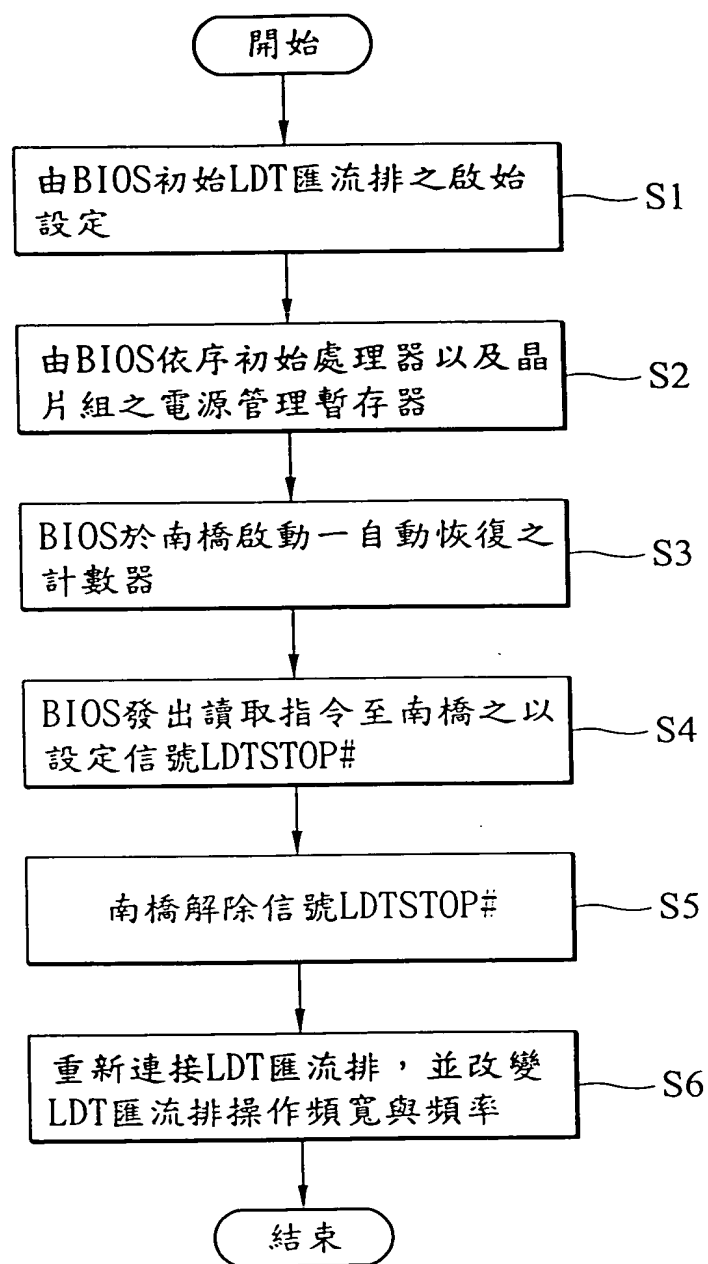
六、申請專利範圍

13. 如申請專利範圍第11項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排為高傳輸（Hyper Transport, HT）匯流排。

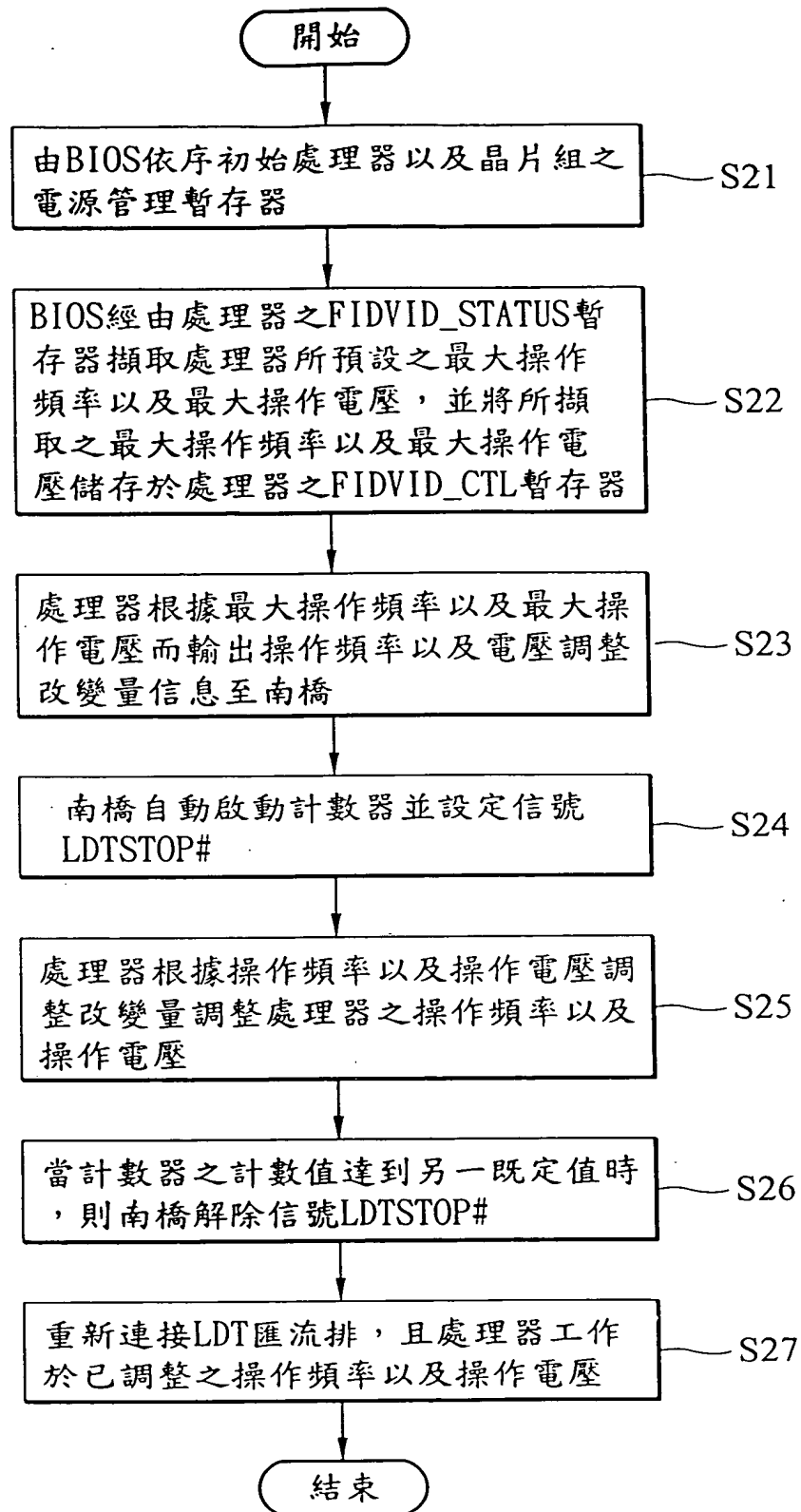
14. 如申請專利範圍第11項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排中斷信號以及匯流排連接信號係由同一輸出端所輸出。

15. 如申請專利範圍第14項所述之處理器電源管理以及匯流排最佳化方法，其中上述匯流排中斷信號以及匯流排連接信號係藉由設定以及解除由上述南橋之輸出端所輸出之信號。

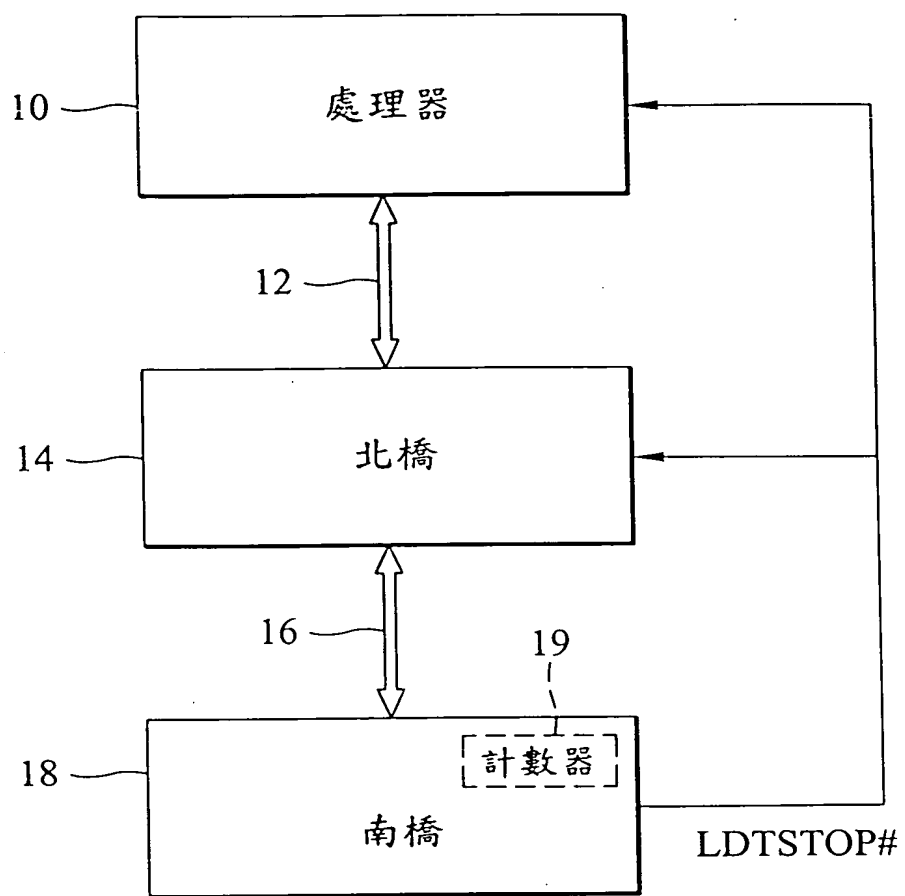




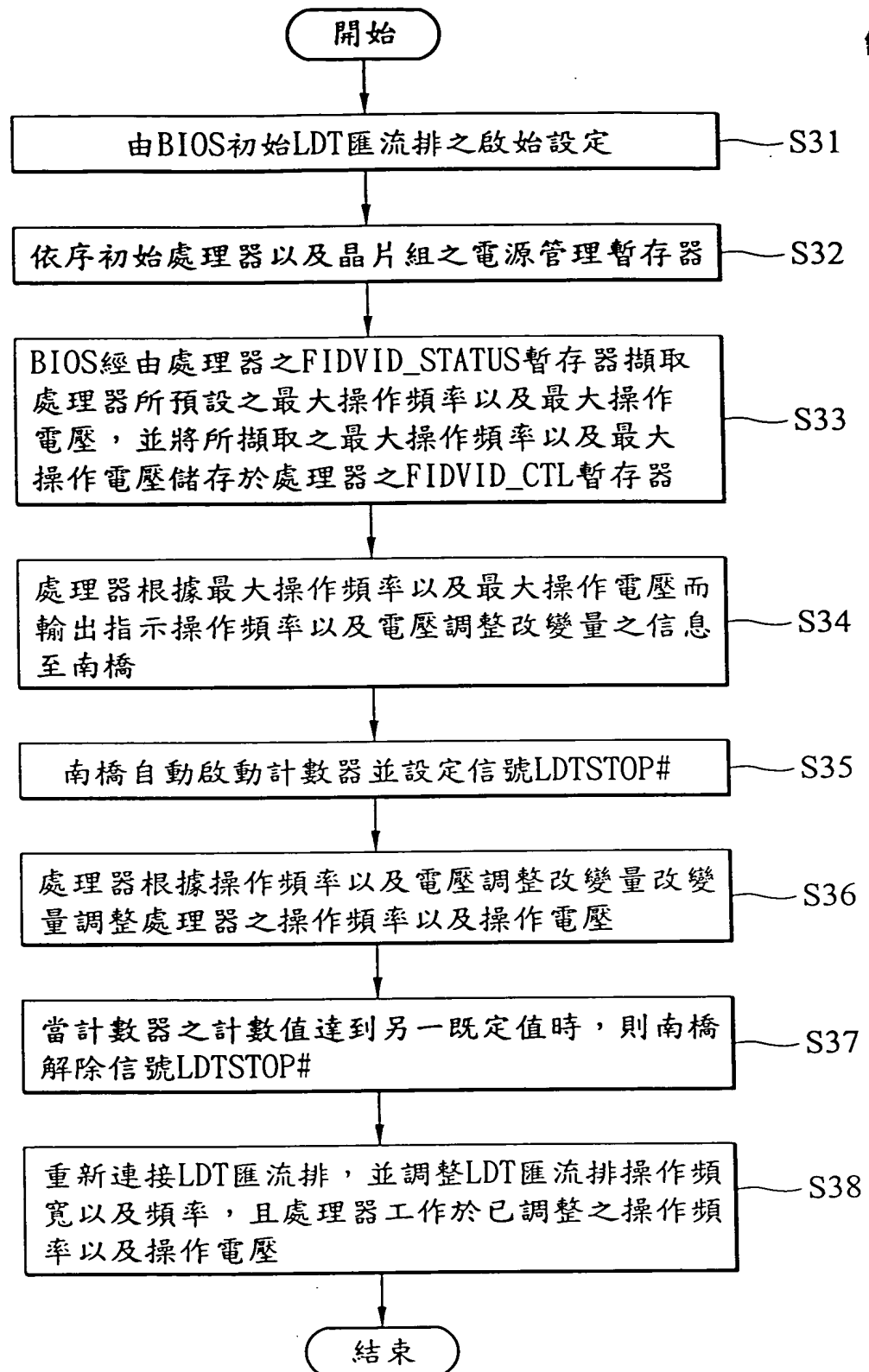
第 1 圖



第 2 圖

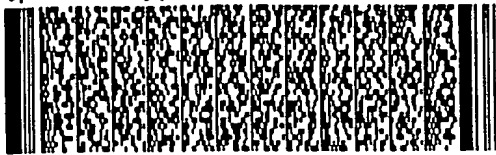


第 3 圖

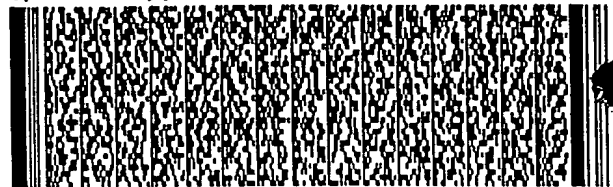


第 4 圖

第 1/19 頁



第 2/19 頁



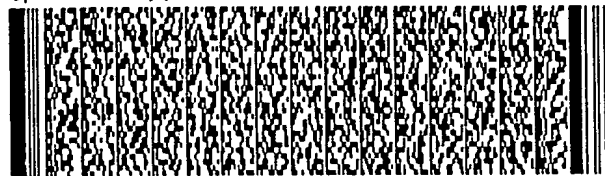
第 3/19 頁



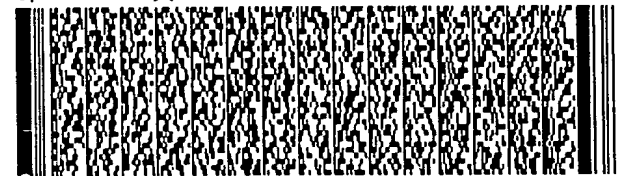
第 4/19 頁



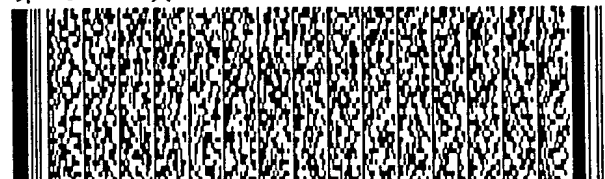
第 5/19 頁



第 5/19 頁



第 6/19 頁



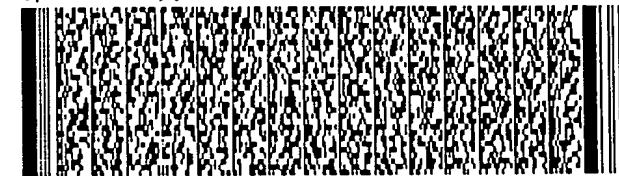
第 6/19 頁



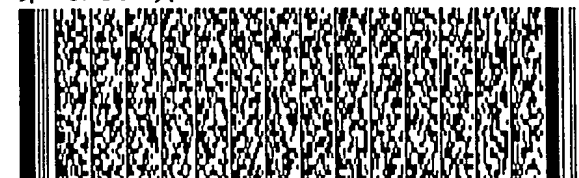
第 7/19 頁



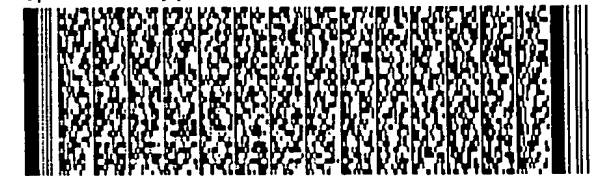
第 7/19 頁



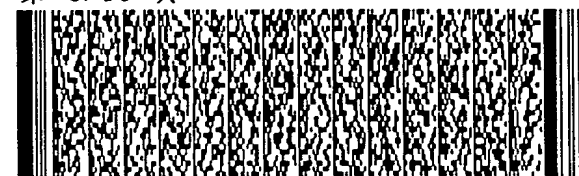
第 8/19 頁



第 8/19 頁



第 9/19 頁



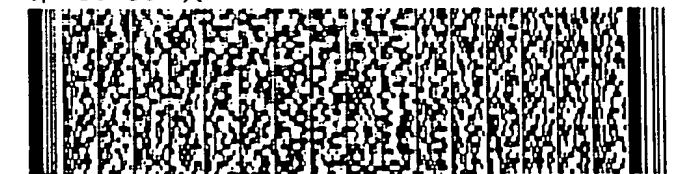
第 9/19 頁



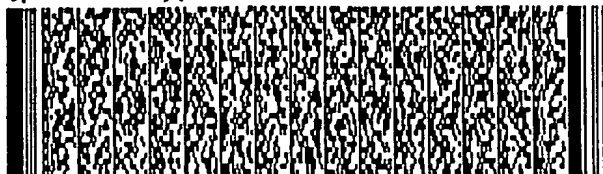
第 10/19 頁



第 10/19 頁



第 11/19 頁



第 11/19 頁



第 12/19 頁



第 12/19 頁



第 13/19 頁



第 14/19 頁



第 15/19 頁



第 15/19 頁



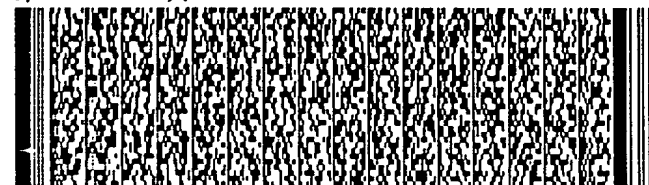
第 16/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 18/19 頁



第 19/19 頁

